

Millimeter-band semiconductor switching circuit

Patent Number: ☐ US6320476
Publication date: 2001-11-20
Inventor(s): TSUKAHARA YOSHIHIRO (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (US)
Requested Patent: ☐ JP2000294568
Application Number: US19990416525 19991012
Priority Number(s): JP19990101264 19990408
IPC Classification: H01P1/10
EC Classification: H01P1/02
Equivalents: ☐ DE19953178

Abstract

A semiconductor switch includes parallel connected FETs, each FET having gate electrodes interleaved with first and second electrodes on a semiconductor substrate. An electrode interconnect connects, in a lengthwise direction of the first electrodes, mutually adjacent first electrodes. A further electrode interconnect connects second electrodes of the FETs in a direction intersecting the first electrode interconnect. A ground line connects to ground at least two of the second electrodes at the outside-most positions of the second electrodes

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-294568

(P 2000-294568 A)

(43) 公開日 平成12年10月20日(2000.10.20)

(51) Int. Cl. ⁷	識別記号	F I	ターム(参考)		
H 0 1 L	21/338	H 0 1 L	29/80	L	5F102
	29/812	H 0 1 P	1/15		5J012
H 0 1 P	1/15				

審査請求 未請求 請求項の数 10 O L

(全 12 頁)

(21) 出願番号 特願平11-101264

(22) 出願日 平成11年4月8日(1999. 4. 8)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 塚原 良洋

東京都千代田区丸の内二丁目2番3号 三菱

電機株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外2名)

F ターム(参考) 5F102 FA07 GA18 GB02 GC01 GD01

CS09 GV01

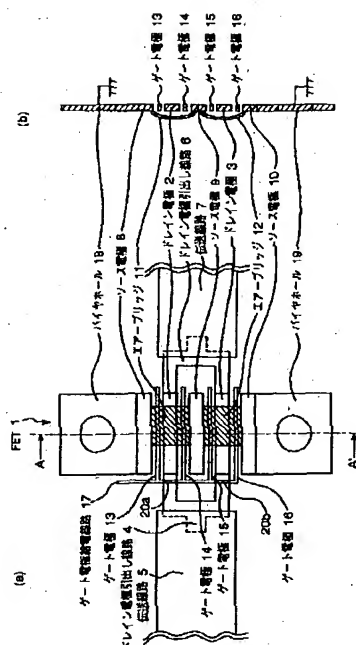
5J012 BA02

(54) 【発明の名称】 ミリ波帯半導体スイッチ回路

(57) 【要約】

【課題】 従来よりも F E T の形状に付随するインダクタンス成分を小さく抑え、高い周波数(ミリ波帯)の R F 信号に対して良好なスイッチ特性を示す電界効果トランジスタを提供することを目的とする。

【解決手段】 本発明の半導体スイッチは、半導体基板上に、ゲート電極を第1及び第2の電極により挟んでなる複数組の F E T を並列接続してなる半導体スイッチであって、上記複数組の F E T の互いに隣り合う第1の電極同士を電極の長手方向に沿って引き出し、接続する電極引き出し線路と、上記複数組の F E T の隣り合う第2の電極同士を上記電極引き出し線路に直交する向きに接続する電極接続配線と、上記複数組の F E T の第2の電極の内、少なくとも最離位置にある2つの第2の電極を接地する接地配線とを備える。



【特許請求の範囲】

【請求項1】 ミリ波帯の伝送線路に対して、接地との間にスイッチング素子としての電界効果トランジスタを設けてなるミリ波帯半導体スイッチ回路において、給電線路に接続される複数の櫛歯状のゲート電極と、上記複数のゲート電極を所定の間隔をおいて交互に挟む各複数の第1電極及び第2電極と、上記複数の第1電極を、該第1電極の長手方向の両端において互いに接続する第1電極接続配線と、隣り合う第2電極をエアブリッジにより接続する第2電極接続配線と、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線とを備え、上記接地配線に接続されていない、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極、又は、上記第1電極接続配線に、伝送線路を接続したことを特徴とするミリ波帯半導体スイッチ回路。

【請求項2】 請求項1に記載のミリ波帯半導体スイッチ回路において、

第1電極がドレイン電極であり、第2電極がソース電極であることを特徴とするミリ波帯半導体スイッチ回路。

【請求項3】 請求項1に記載のミリ波帯半導体スイッチ回路において、

第1電極がソース電極であり、第2電極がドレイン電極であることを特徴とするミリ波帯半導体スイッチ回路。

【請求項4】 請求項1乃至請求項3の何れかに記載のミリ波帯半導体スイッチ回路において、

上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極を、バイアホールを介して接地することを特徴とするミリ波帯半導体スイッチ回路。

【請求項5】 請求項1乃至請求項3の何れかに記載のミリ波帯半導体スイッチ回路において、

上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極を、接地平板に直結することを特徴とするミリ波帯半導体スイッチ回路。

【請求項6】 請求項1乃至請求項5の何れかに記載のミリ波帯半導体スイッチ回路において、

第1電極接続配線と第2電極接続配線を所定のリアクタンス成分を有する共振回路により接続してなることを特徴とするミリ波帯半導体スイッチ回路。

【請求項7】 ミリ波帯の伝送線路に対して、接地との間にスイッチング素子としての電界効果トランジスタを設けてなるミリ波帯半導体スイッチ回路において、給電線路に接続される複数の櫛歯状のゲート電極と、上記複数のゲート電極を所定の間隔を持って交互に挟む

各複数の第1電極及び第2電極と、

上記複数の第1電極の各々を直接接地する接地配線と、上記複数の第2電極同士を接続し、対向する2箇所において伝送線路に接続される電極接続線路とを備えることを特徴とするミリ波帯半導体スイッチ回路。

【請求項8】 請求項7に記載のミリ波帯半導体スイッチ回路において、

上記電極接続線路は、各第2電極を該第2電極の長手方向に引き出して接続し、上記長手方向の両側に伝送線路接続用の端子を有することを特徴とするミリ波帯半導体スイッチ回路。

【請求項9】 請求項7に記載のミリ波帯半導体スイッチ回路において、

上記電極接続線路は、隣り合う第2電極を該第2電極の幅方向に延びるエアブリッジにより互いに接続し、上記幅方向の両端に伝送線路接続用端子を有することを特徴とするミリ波帯半導体スイッチ回路。

【請求項10】 請求項7に記載のミリ波帯半導体スイッチ回路において、

上記電極引き出し線路は、上記複数の第2電極を櫛歯状に接続し、該第2電極の短手方向の両側に伝送線路接続用端子を有することを特徴とするミリ波帯半導体スイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ミリ波帯で使用される半導体スイッチ回路に関する。

【0002】

【従来の技術】マイクロ波、ミリ波帯の通信、レーダー等に使用する通信、受信、あるいは送受信モジュールには、送受信信号を切り換えるスイッチ用素子として一般に電界効果トランジスタ（Field Effect Transistor：以下、FETと表す）が使用される。

【0003】図17は、従来のFET600を1入力1出力（SPST：Single-Pole-Single-Throw）スイッチとして用いる半導体スイッチ回路の構成図である。図17の（a）は、FET600の正面図であり、（b）

は、FET600のX-X'断面図である。ドレイン電極引き出し線路601とドレイン電極602は、ソース電極605及びゲート電極612を跨ぐ導電性のエアブリッジ617により接続されている。ドレイン電極602とドレイン電極603は、ソース電極606及びゲート電極613、614を跨ぐ導電性のエアブリッジ616により接続されている。ドレイン電極603とドレイン電極引き出し線路604は、ソース電極607及びゲート電極615を跨ぐ導電性のエアブリッジ619により接続されている。ソース電極605、606、607は、ソース電極引き出し線路608を介してバイアホール609に接続される。上記ソース電極とドレイン電極との間には、ゲート電極給電線路616に接続さ

れるゲート電極612、613、614及び615が櫛状に設けられている。ドレイン電極引き出し線路601は、MMICを構成する伝送線路610に接続されている。ドレイン電極引き出し線路604は、同じくMMICを構成する伝送線路611に接続されている。

【0004】

【発明が解決しようとする課題】図18は、FET600の等価回路である。FET600の前後段に設けられるインダクタンス623、624は、図17に示すFET600の形状に付随するインダクタンス成分Lであり、インダクタンス625は、図17に示すソース電極605、606、607の左側に設けたバイアホール607のインダクタンス成分Lsである。

【0005】スイッチの切り換えは、FET600のゲート電極（ゲート電極給電線路616）に与える電圧（以下、ゲート電圧Vg）を制御して行う。FET600は、ゲート電圧Vgの値を所定のしきい値以下、例えば、約0Vに設定した時にオンとなり、伝送線路610と接地導体622を接続する。この場合、伝送線路611には信号が流れない。

【0006】他方、FET600は、ゲート電圧Vgの値を上記所定のしきい値電圧より大きくした時にオフとなり、伝送線路610から接地導体622への信号の流れを遮断して、伝送線路610から伝送線路611に信号を流す。

【0007】図19は、FET600がオンしている時の等価回路である。抵抗626は、オン抵抗Ronである。点Bから見たFETのインピーダンスZonは、 $Z_{on} = R_{on} + j2\pi f(2L + L_s)$ と表される。上記関係式より理解されるように、回路に入力されるRF信号の周波数fが大きくなると、インピーダンスZonが大きくなる。インピーダンスZonが大きくなると、抵抗分割の作用により、伝送線路610から接地導体622に全て流れるべき信号の一部が伝送線路611にも流れてしまい、スイッチ特性が劣化（高損失化、低アイソレーション化）する。

【0008】図20は、FET600がオフしている場合の等価回路である。容量627は、オフ容量Coffである。点Bから見たFET600のインピーダンスZoffは、 $Z_{off} = -j / 2\pi f C_{off} + j2\pi f(2L + L_s) = -j[1 - 4\pi^2 f^2 C_{off} / (2L + L_s)] / (2\pi f C_{off})$ で表される。上記構成において、RF信号の周波数fの値が大きくなると、インピーダンスZoffが小さくなる。インピーダンスZoffが小さくなると、抵抗分割の作用により伝送線路610から伝送線路611に全て流れるべき信号の一部が接地導体622にも流れてしまい、スイッチ特性が劣化（高損失化、低アイソレーション化）する。

【0009】図21は、周波数f=75GHzのRF信号が流れる場合に図19及び図20の点Bから見たイン

ピーダンスZon及びZoffを黒丸により表すスミスチャートである。上述したように、オン時におけるインピーダンスZon及びオフ時におけるZoffの値は、RF信号の周波数fに比例した値を取る。高い周波数（ミリ波帯）のRF信号に対するスイッチ特性を向上するには、インダクタンス623、624、625の値、即ち、FETの形状に付随するインダクタンス成分L及びバイアホールのインダクタンス成分Lsを小さく抑えることが要求される。

10 【0010】本発明は、FETの形状等に起因するインダクタンス成分（L、Ls）を小さく抑え、特に、高い周波数（ミリ波帯）のRF信号に対して良好なスイッチ特性（低損失、高アイソレーション）を示す電界効果トランジスタを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の第1のミリ波帯半導体スイッチ回路は、ミリ波帯の伝送線路に対して、接地との間にスイッチング素子としての電界効果トランジスタを設けてなるミリ波帯半導体スイッチ回路において、給電線路に接続される複数の櫛状のゲート電極と、上記複数のゲート電極を所定の間隔をおいて交互に挟む各複数の第1電極及び第2電極と、上記複数の第1電極を、該第1電極の長手方向の両端において互いに接続する第1電極接続配線と、隣り合う第2電極をエアブリッジにより接続する第2電極接続配線と、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線とを備え、上記接地配線に接続されていない、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極、又は、上記第1電極接続配線に、伝送線路を接続したことを特徴とする。

【0012】本発明の第2のミリ波帯半導体スイッチ回路は、上記第1のミリ波帯半導体スイッチ回路において、第1電極がドレイン電極であり、第2電極がソース電極であることを特徴とする。

【0013】本発明の第3のミリ波帯半導体スイッチ回路は、上記第1のミリ波帯半導体スイッチ回路において、第1電極がソース電極であり、第2電極がドレイン電極であることを特徴とする。

40 【0014】本発明の第4のミリ波帯半導体スイッチ回路は、上記第1乃至第3のミリ波帯半導体スイッチ回路において、上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極を、バイアホールを介して接地することを特徴とする。

【0015】本発明の第5のミリ波帯半導体スイッチ回路は、上記第1乃至第3のミリ波帯半導体スイッチ回路において、上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であ

て接続方向の両端に位置する2つの電極を、接地平板に直結することを特徴とする。

【0016】本発明の第6のミリ波帯半導体スイッチ回路は、第1電極接続配線と第2電極接続配線を所定のリアクタンス成分を有する共振回路により接続してなることを特徴とする。

【0017】本発明の第7の半導体スイッチは、ミリ波帯の伝送線路に対して、接地との間にスイッチング素子としての電界効果トランジスタを設けてなるミリ波帯半導体スイッチ回路において、給電線路に接続される複数の櫛歯状のゲート電極と、上記複数のゲート電極を所定の間隙を持って交互に挟む各複数の第1電極及び第2電極と、上記複数の第1電極の各々を直接接地する接地配線と、上記複数の第2電極同士を接続し、対向する2箇所において伝送線路に接続される電極接続線路とを備えることを特徴とする。

【0018】本発明の第8の半導体スイッチは、上記第7のミリ波帯半導体スイッチ回路において、上記電極接続線路は、各第2電極を該第2電極の長手方向に引き出して接続し、上記長手方向の両側に伝送線路接続用の端子を有することを特徴とする。

【0019】本発明の第9の半導体スイッチは、上記第7のミリ波帯半導体スイッチ回路において、上記電極接続線路は、隣り合う第2電極を該第2電極の幅方向に延びるエアブリッジにより互いに接続し、上記幅方向の両端に伝送線路接続用端子を有することを特徴とする。

【0020】本発明の第10の半導体スイッチは、上記第7のミリ波帯半導体スイッチ回路において、上記電極引き出し線路は、上記複数の第2電極を櫛歯状に接続し、該第2電極の短手方向の両側に伝送線路接続用端子を有することを特徴とする。

【0021】

【発明の実施の形態】(1) 実施の形態1

実施の形態1に係るFET1は、1入力1出力の半導体スイッチとして機能する。当該FET1は、給電線路に櫛歯状に接続されたゲート電極を有するFETであって、ソース電極同士をエアブリッジにより接続し、更に、上記並列に接続されるFETの両端に位置する2つのソース電極に、それぞれ1個以上のバイアホールを接続することを特徴とする。上記構成を採用することで、各ソース電極からバイアホールまでの距離の短縮を図り、オン又はオフ時に該バイアホールにより付加されるインダクタンス成分を低減することができる。これにより、オン時におけるインピーダンス Z_{on} の増加、及び、オフ時における Z_{off} の減少を抑制してスイッチ特性を向上する。

【0022】図1は、接地層を有する半導体基板（図示せず）上に形成されるFET1の構成を示す図である。図1の(a)は、FET1の正面図であり、(b)は、FET1のA-A'断面図である。ドレイン電極2及び

3は、櫛歯状に延びるゲート電極13、14、15、16に平行な向きに引き出され、両端に設けられるドレイン電極引き出し線路4及び6に接続される。上記ゲート電極13、14、15、16は、ゲート電極給電線路17に接続されている。なお、ドレイン電極引き出し線路4とゲート電極給電線路17との交差点20a、20bは、絶縁体により絶縁されている。

【0023】図1の(b)に示すように、ソース電極8とソース電極9は、ゲート電極13、14及びドレイン電極2を跨ぐ導電性のエアブリッジ11により接続されている。また、ソース電極9とソース電極10は、ゲート電極15、16及びドレイン電極3を跨ぐ導電性のエアブリッジ12により接続されている。ソース電極8は、図示しない半導体基板の接地層に直接接続されるバイアホール18に接続されている。ソース電極10は、図示しない半導体基板の接地層に直接接続されるバイアホール19に接続されている。なお、ソース電極8及び10に接続されるバイアホールの数は、各々1個以上が好ましい。

【0024】図2は、上記FET1をMMIC内で1入力1出力スイッチとして用いた場合であって、所定のゲート電圧 V_g を印加してFET1をオンした場合の等価回路を示す図である。インダクタンス21、22は、FET1の形状に付随するインダクタンス成分 L' である。インダクタンス23、24は、バイアホール18、19のインダクタンス成分 L_s である。抵抗25は、FET1のソース・ドレイン間抵抗 R_{on} である。 R_{on} が数 Ω の場合、点aから見たFET1のインピーダンス Z_{on} は、近似的に次の「数1」により表される。

【数1】

$$Z_{on} = R_{on} + j2\pi f(2L' + L_{sum})$$

上記「数1」において、インダクタンス成分 L' は、スイッチ素子1の形状に付随するインダクタンス成分であり、インダクタンス成分 L_{sum} は、2以上設けられるバイアホールのインダクタンス成分 L_s の合計を表す。

【0025】図2に示す等価回路において、並列に接続されるインダクタンス成分 L_s （インダクタンス23、24）の数は、ソース電極に接続されるバイアホールの数に比例する。ここで、伝送線路に垂直な向きに、片側に1つだけバイアホールを設けた場合のインダクタンス成分を L_{s0} とし、両端のソース電極8、10に接続されるバイアホールの数を n とすると、伝送線路に垂直な向きに両側に各1個以上接続されるバイアホールのインダクタンス成分 L_s の合計 L_{sum} は、次の「数2」に示す関係を満たす。

【数2】

$$L_{s0}/2 \geq L_{sum} > L_{s0}/n$$

【0026】上記「数1」に示すように、図2の点aから見たインピーダンス Z_{on} は、入力されるRF信号の周波数 f の増加に伴い増加する。インピーダンス Z_{on} が増

加すると、抵抗分割的作用により伝送線路5に流れるRF信号が完全に接地導体26、27へと流れず、一部のRF信号が伝送線路7に流れてしまうといった問題が生じる。しかし、両端に位置するソース電極に各1個以上のバイアホールを接続する構成を採用することで、上記「数2」に示すようにバイアホールのインダクタンス成分 L_{sum} の値を半分以下に減少することができる。これにより、RF信号の高周波化に伴うインピーダンス Z_{on} の増加を大幅に抑えることが可能となり、FET1のオン時のスイッチ特性の大幅な向上（低損失化及び高アイソレーション化）を図ることができる。

【0027】図3は、FET1をMMICに使用した場合であって、ゲート電極給電線路17へ供給する電圧をFET1のドレイン電流遮断電圧（ピンチオフ電圧：以下、 V_p ）よりも低い値に切り換え、FET1をオフに切り換えた場合の等価回路を示す図である。図中、FET1のソース・ドレイン間容量を C_{off} と表す。点aからみたFET1のインピーダンス Z_{off} は、次の「数3」により表される。

【数3】

$$Z_{off} = \frac{-j}{2\pi f \cdot C_{off}} + j2\pi f(2L + L_{sum})$$

$$= \frac{-j\{1 - 4\pi^2 f^2 \cdot C_{off}(2L + L_{sum})\}}{2\pi f \cdot C_{off}}$$

【0028】上記「数3」に示すように、点aから見たインピーダンス Z_{off} は、入力されるRF信号の周波数の増加に伴い減少する。しかし、上記「数2」に示すように、ソース電極に2以上のバイアホールを接続する構成を採用することで、バイアホールによるインダクタンス成分 L_{sum} の値を1/2以下の値に減少することができる。これにより、高周波信号の入力時におけるインピーダンス Z_{off} の減少を抑制することができ、FET1のオフ時におけるスイッチ特性の大幅な向上（低損失化及び高アイソレーション化）を図ることができる。

【0029】図4は、周波数 $f = 7.5 \text{ GHz}$ のRF信号が流れる場合に図2及び図3に示す点aからみたインピーダンス Z_{on} 及び Z_{off} を表すスミスチャートである。図中、両端のソース電極の片側（例えばソース電極8だけ）に1つだけバイアホール（例えばバイアホール18だけ）を備えた場合におけるインピーダンス Z_{on}' 及び Z_{off}' を点線で示し、ソース電極8にバイアホール18を接続すると共に、ソース電極10にバイアホール19を接続した場合におけるインピーダンス Z_{on} 及び Z_{off} を実線で示す。図示するように、両端に位置する各ソース電極にバイアホールを備えることで、インピーダンス Z_{on} の増加を効率的に抑制すると共に、インピーダンス Z_{off} の減少を効率的に抑制できることが確認される。

【0030】なお、図1に示すように、伝送線路を伝わるRF信号の進行方向に対して垂直な向きに、バイアホ

ール18及び19を左右対称に配置することで、RF信号とバイアホールとのカップリング容量が左右対象となり、RF特性が安定するといった効果を得ることができる。

【0031】FET1は、伝送線路5及び7を同一線状に接続し、バイアホール18、19を伝送線路に対して直交する向きに2個対称に設ける形状を採用する。当該構成を採用することで、半導体スイッチとしての設計の便を図ることができる。以下、上記構成のFET1を採用して3分配スイッチを単一の半導体基板上に作成する場合について考察する。上述したようにFET1では、接続する2つの伝送線路5及び7を同一直線上に形成する。このため、図5に示すように、1つの伝送線路を信号の入力方向に設け、更に、残りの2つの伝送線路を信号の入力方向に対して90度及び270度の方向に設け、信号の入力端子から各スイッチまでの距離を等しくすることができる。当該構成を採用することで、低損失でかつ等損失の3分配スイッチを形成することができる。

【0032】なお、上記FET1のように、バイアホール18及び19を用いる代わりに、図6に示すFET1'のように、基板表面に接地平板150、151を設ける構成を採用してもよい。図6に示すように、FET1'では、ソース電極8には、接地平板150を接続する。ソース電極10には、接地平板151を接続する。FET1'のオン時におけるインピーダンス Z_{on} 、及び、オフ時におけるインピーダンス Z_{off} は、上記FET1と同様の数式（「数1」～「数3」を参照）により表されるため、ここでの説明は省く。

【0033】（2）実施の形態1の変形例1

図7は、上記FET1の変形例であるFET30の構成を示す図である。図7の（a）は、FET30の正面図であり、（b）は、B-B'断面図である。上記FET30とFET1の相違点は、FET1ではソース電極にバイアホールが接続されているのに対し、FET30ではドレイン電極にバイアホールが接続されている点である。上記構成を採用することで、FET30では、伝送線路41及び43が同一直線上に設けられ、当該伝送線路41、43と直交する向きに2つのバイアホール34、36が設けられる。

【0034】ドレイン電極31、32の図中左端は、ドレイン電極引き出し線路33を介してバイアホール34に接続される。ドレイン電極31、32の図中右端は、ドレイン電極引き出し線路35を介してバイアホール36に接続される。ソース電極37とソース電極38は、ゲート電極44、45及びドレイン電極31を跨ぐ導電性のエアブリッジ50により接続される。ソース電極38とソース電極39は、ゲート電極46、47及びドレイン電極32を跨ぐ導電性のエアブリッジ51により接続されている。ソース電極37、39は、それぞれ

ドレイン電極引き出し線路40、42に接続されている。ゲート電極44、45、46、47は、ゲート電極給電線路48に櫛状に接続されている。ゲート電極給電線路48とドレイン電極引き出し線路33a、33bとの交差部49a、49bは、絶縁層を介して絶縁されている。上記構成のFET30のオン時におけるインピーダンス Z_{on} 、及び、オフ時におけるインピーダンス Z_{off} は、上記FET1と同様の数式（「数1」～「数3」を参照）で表されるため、ここでの説明は省く。

【0035】なお、上記バイアホール34、36の代わりに、表面に接地平板を設ける構成を採用してもよい。図8は、上記FET30の変形例であるFET30'の構成を示す図である。当該FET30'では、バイアホール34、36のかわりに接地平板160、161を備える。接地平板160は、ドレイン電極引き出し線路33a、33bに接続される。接地平板161は、ドレイン電極引き出し線路35a、35bに接続される。なお、上記構成のFET30'のオン時におけるインピーダンス Z_{on} 、及び、オフ時におけるインピーダンス Z_{off} は、上記FET1と同様の数式（「数1」～「数3」を参照）で表されるため、ここでの説明は省く。

【0036】(3) 実施の形態2

実施の形態2に係るFET60は、各ソース電極に該ソース電極を直接接地するバイアホールを備えることを特徴とする。当該構成を採用することで、オン又はオフ時にインピーダンス Z_{on} 又は Z_{off} におけるバイアホールのインダクタンス成分 L_s を一層低減する。これにより、スイッチ特性の大幅な向上（低損失化及び高アイソレーション化）を図る。

【0037】図9は、実施の形態2に係るFET60の構成を示す図である。各ソース電極65、66、67は、該ソース電極を図示しない半導体基板の接地層に直接接続するバイアホール68、69、70を備える。ドレイン電極61、62の図中右端は、ドレイン電極引き出し線路63に接続される。ドレイン電極61、62の図中左端は、ドレイン電極引き出し線路64に接続される。ソース・ドレイン電極間に配置されるゲート電極71、72、73、74は、ゲート電極給電線路75に接続される。ゲート電極給電線路75とドレイン電極引き出し線路64との交差部76a、76bは、絶縁体により絶縁されている。

【0038】上記構成を採用することで、上記実施の形態1に係るFET1に比べ、ソース電極とバイアホール間の距離を短縮してインダクタンス成分 L_{s_sum} の一層の低減を図ることができる。

【0039】(4) 実施の形態2の変形例1

図10は、実施の形態2の変形例1に係るFET80の構成を示す図である。図10の(a)は、FET80の正面図であり、(b)は、FET80のC-C'断面図である。各ソース電極86、87、88は、半導体基板

の接地層に接続されるバイアホール89、90、91を備える。ドレイン電極引き出し線路83とドレイン電極81は、ソース電極86とゲート電極92を跨ぐ導電体であるエアブリッジ97により接続される。ドレイン電極81とドレイン電極82は、ゲート電極93、94及びソース電極87を跨ぐ導電性のエアブリッジ98により接続される。ドレイン電極82とドレイン電極83は、ゲート電極95及びソース電極88を跨ぐ導電性のエアブリッジ99により接続される。櫛状に延びるゲート電極92、93、94、95は、ゲート電極給電線路96に接続されている。上記構成のFET80では、ゲート電極給電線路96がソース及びドレインの何れの電極とも交差しないため、構成の簡単化を図ることができる。

【0040】上記構成を採用することで、上記FET1、FET1'、FET30、FET30'に比べ、ソース電極とバイアホール間の距離をさらに短縮してインダクタンス成分 L_{s_sum} の一層の低減を図ることができる。即ち、上記構成において、ドレイン電極引き出し線路83から見たインピーダンス Z_{on} を低減し、かつ、オフ状態のインピーダンス Z_{off} を増加することができる。これにより、スイッチ特性を向上することができる。

【0041】(5) 実施の形態2の変形例2

図11は、実施の形態2の変形例2であるFET100の構成を示す図である。各ソース電極104、105、106は、基板裏面の接地導体に接続されるバイアホールを備える。ドレイン電極101、102は、ソース電極104、105、106と交差しないように、図中右端部において、ドレイン電極引き出し線路103に接続される。

【0042】上記構成を採用することで、上記図10を用いて説明したFET80と同様にソース電極とバイアホール間のインダクタンス成分 L_{s_sum} の一層の低減を図ることができる。即ち、上記構成を採用することで、オン時におけるインピーダンス Z_{on} の増加を抑制すると共に、オフ時のインピーダンス Z_{off} の減少を抑制することができる。これにより、スイッチ特性を向上することができる。

【0043】(6) 実施の形態3

図12は、実施の形態3に係るFET200の構成を示す図である。当該FET200は、図1に示したFET1に、共振線路201、202を追加したものである。共振線路201は、インダクタンス成分 L_c を持ち、バイアホール18と伝送線路7を接続する。共振線路202は、上記共振線路201と同じインダクタンス成分 L_c を持ち、バイアホール19と伝送線路7を接続する。

【0044】図13は、FET200をMMIC内で1入力1出力スイッチとして使用し、所定のゲート電圧 V_g を印加してFET200をオンした場合の等価回路を

示す図である。インダクタンス21、22は、FET200の形状に付随するインダクタンス成分 L' である。インダクタンス23、24は、バイアホール18、19のインダクタンス成分 L_s である。抵抗25は、FET200のソース・ドレイン間抵抗 R_{on} である。 R_{on} が数オームの場合、点pから見たFET200のインピーダンス Z_{on} は、次の「数4」により表される。

【数4】

$$Z_{on} = \left(\frac{1}{R_{on} + j2\pi f \cdot 2L} + \frac{1}{j2\pi f \cdot Lc} \right)^{-1} + Ls_{sum}$$

上記「数4」より、RF信号の周波数 f が増加すると、インピーダンス Z_{on} が増加することがわかる。

【0045】また、図14は、FET200をMMICに使用した場合であって、ゲート電極給電線路17へ供給する電圧をFET200のドレイン電流遮断電圧（ピンチオフ電圧：以下、 V_p ）よりも低い値に切り換え、FET200をオフに切り換えた場合の等価回路を示す図である。図中、FET200のソース・ドレイン間容量を C_{off} と表す。点aからみたFET200のインピーダンス Z_{off} は、次の「数5」により表される。

【数5】

$$Z_{off} = \left[\left\{ j2\pi f \left(2L + \frac{1}{C_{off}} \right) \right\}^{-1} + \frac{1}{j2\pi f \cdot Lc} \right]^{-1} + Ls_{sum}$$

$$= \frac{j2\pi f (Lc - 4\pi^2 f^2 \cdot 2L \cdot C_{off} \cdot Lc)}{1 - 4\pi^2 f^2 \cdot C_{off} (2L + Lc)}$$

【0046】ここで、 $L' \ll Lc$ の場合、次の「数6」を満足するインダクタンス成分 Lc の共振線路201、202を採用すれば、インピーダンス $Z_{off} \approx \infty$ となり、周波数 f のRF信号に対して当該FET200を、ほぼ開放端と同様にみなすことが可能となり、理想的なスイッチ特性（高アイソレーション）を得ることができる。

【数6】

$$4\pi^2 f^2 \cdot C_{off} \cdot Lc = 1$$

【0047】図15は、周波数 $f = 75 \text{ GHz}$ のRF信号が流れる場合に図13及び図14の点Bから見たインピーダンス Z_{on} 及び Z_{off} を表すスミスチャートである。図示するように、FET200では、FET1に比べてインピーダンス Z_{on} の値を更に低減できると共に、インピーダンス Z_{off} の値を無限大にまで増加することができる。これにより、オフ時におけるスイッチ特性が向上する。

【0048】（7）実施例3の変形例

図16は、実施例3の変形例であるFET300の構成図である。当該FET300は、図7に示したFET300のバイアホール54と伝送線路43をインダクタンス成分 Lc を持つ共振線路301により接続すると共に、バイアホール56と伝送線路43を上記共振線路301と同じインダクタンス成分 Lc を持つ共振線路302に

より接続したことを特徴とする。なお、当該FET300のオン時におけるインピーダンス Z_{on} 、及び、オフ時におけるインピーダンス Z_{off} は、上記図12に示したFET200と同様の数式（「数4」～「数6」）で表されるため、ここでの説明は省く。

【0049】

【発明の効果】本発明の第1のミリ波帯半導体スイッチ回路は、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線を備える。これにより、複数の第1電極の両端に設けられる第1電極接続配線の一方、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極の内の1つを半導体基板の接地層と接続する場合に比べ、電極から接地層までのインダクタンス成分を低減し、スイッチ特性を向上することができる。また、伝送線路を同一線状に接続することが可能となり、使用時における便が向上する。

【0050】本発明の第2のミリ波帯半導体スイッチ回路では、第1電極がドレイン電極であり、第2電極がソース電極とする。上記第1のミリ波帯半導体スイッチ回路と同様に、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線を備える。これにより、複数の第1電極の両端に設けられる第1電極接続配線の一方、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極の内の1つを半導体基板の接地層と接続する場合に比べ、電極から接地層までのインダクタンス成分を低減し、スイッチ特性を向上することができる。また、伝送線路を同一線状に接続することが可能となり、使用時における便が向上する。

【0051】本発明の第3のミリ波帯半導体スイッチ回路では、第1電極がソース電極であり、第2電極がドレイン電極とする。上記第1のミリ波帯半導体スイッチ回路と同様に、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線を備える。これにより、複数の第1電極の両端に設けられる第1電極接続配線の一方、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極の内の1つを半導体基板の接地層と接続する場合に比べ、電極から接地層までのインダクタンス成分を低減し、スイッチ特性を向上することができる。また、伝送線路を同一線状に接続することが可能となり、使用時における便が向上する。

【0052】本発明の第4のミリ波帯半導体スイッチ回路では、上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極を、バイアホー

ルを介して接地する。上記第1のミリ波帯半導体スイッチ回路と同様に、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線を備える。これにより、複数の第1電極の両端に設けられる第1電極接続配線の一方、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極の内の1つを半導体基板の接地層と接続する場合に比べ、電極から接地層までのインダクタンス成分を低減し、スイッチ特性を向上することができる。また、伝送線路を同一線状に接続することが可能となり、使用時における便が向上する。

【0053】本発明の第5のミリ波帯半導体スイッチ回路では、上記接地配線は、上記第1電極接続配線、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの電極を、接地平板に直結することを特徴とする。上記第1のミリ波帯半導体スイッチ回路と同様に、上記第1電極接続配線、又は、上記第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極を接地する接地配線を備える。これにより、複数の第1電極の両端に設けられる第1電極接続配線の一方、又は、第2電極接続配線により接続される第2電極であって接続方向の両端に位置する2つの第2電極の内の1つを半導体基板の接地層と接続する場合に比べ、電極から接地層までのインダクタンス成分を低減し、スイッチ特性を向上することができる。また、伝送線路を同一線状に接続することが可能となり、使用時における便が向上する。

【0054】本発明の第6の半導体スイッチは、上記第1の半導体スイッチにおいて、上記第1電極接続配線及び第2電極接続配線を所定のインダクタンス成分を持つ導電体で接続する。当該構成を採用することで、電極と接地層との間に生じるインダクタンス成分を低減し、上記第1の半導体スイッチに比べてオフ時におけるスイッチ特性を更に向上することができる。

【0055】本発明の第7の半導体スイッチは、複数の第1電極の各々を半導体基板の接地層に直接接続する接地配線を有することで、上記第1の半導体スイッチに比べ、電極と接地層との間に生じるインダクタンス成分を一層低減し、オフ時におけるスイッチ特性を更に向上することができる。

【0056】本発明の第8の半導体スイッチは、複数の第1電極の各々を半導体基板の接地層に直接接続する接地配線を有することで、上記第1の半導体スイッチに比べ、電極と接地層との間に生じるインダクタンス成分を一層低減し、オフ時におけるスイッチ特性を更に向上することができる。

【0057】本発明の第9の半導体スイッチは、複数の第1電極の各々を半導体基板の接地層に直接接続する接地配線を有することで、上記第1の半導体スイッチに比

べ、電極と接地層との間に生じるインダクタンス成分を一層低減し、オフ時におけるスイッチ特性を更に向上することができる。

【0058】本発明の第10の半導体スイッチは、複数の第1電極の各々を半導体基板の接地層に直接接続する接地配線を有することで、上記第1の半導体スイッチに比べ、電極と接地層との間に生じるインダクタンス成分を一層低減し、オフ時におけるスイッチ特性を更に向上することができる。

【図面の簡単な説明】

【図1】 実施の形態1に係るFETの構成図である。

【図2】 FETのオン時における等価回路図である。

【図3】 FETのオフ時における等価回路図である。

【図4】 スミスチャートである。

【図5】 FETを用いた1入力3出力回路の構成図である。

【図6】 実施の形態2に係るFETの構成図である。

【図7】 変形例に係るFETの構成図である。

【図8】 変形例に係るFETの構成図である。

【図9】 変形例に係るFETの構成図である。

【図10】 変形例に係るFETの構成図である。

【図11】 変形例に係るFETの構成図である。

【図12】 実施の形態3に係るFETの構成図である。

【図13】 実施の形態3に係るFETの構成図である。

【図14】 オン時における等価回路図である。

【図15】 オフ時における等価回路図である。

【図16】 スミスチャートである。

【図17】 従来のFETの構成図である。

【図18】 図17に示す従来のFETの等価回路図である。

【図19】 オン時におけるFETの等価回路図である。

【図20】 オフ時におけるFETの等価回路図である。

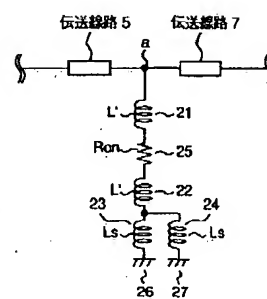
【図21】 スミスチャートである。

【符号の説明】

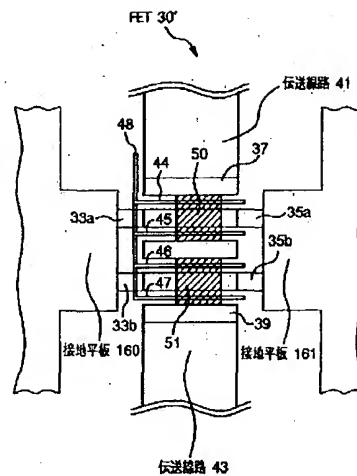
1, 1', 1'', 30, 30', 30'', 60, 600
電界効果トランジスタ、2, 3, 61, 62, 81, 82, 101, 102, 602, 603 ドレイン電極、4, 6, 63, 64, 83, 84, 103, 601, 604 ドレイン電極引き出し線路、5, 7, 41, 42, 610, 611伝送線路、8, 9, 10, 65, 66, 67, 86, 87, 88, 104, 105, 109 ソース電極、11, 12, 50, 51, 97, 98, 99, 617, 618, 619 エアブリッジ、13, 14, 15, 16, 71, 72, 73, 74, 110, 111, 112, 113, 612, 613, 614, 615ゲート電極、17, 75, 96, 1

オン抵抗、627 オフ容量、26、27、622、6
 25 接地導体、40 ソース電極引き出し線路、15
 0、151、160、161 接地平板、201、20
 2、301、302 共振線路

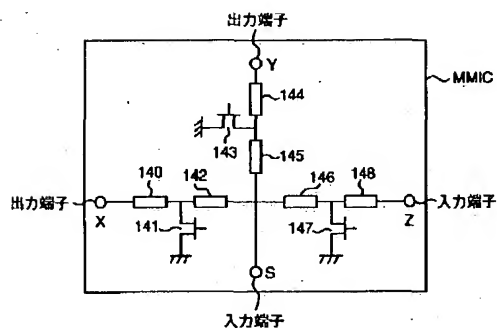
【図2】



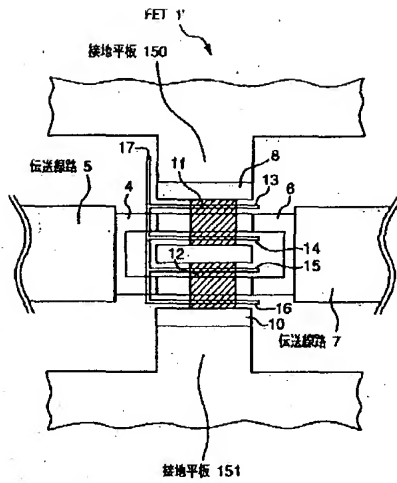
【図 8】



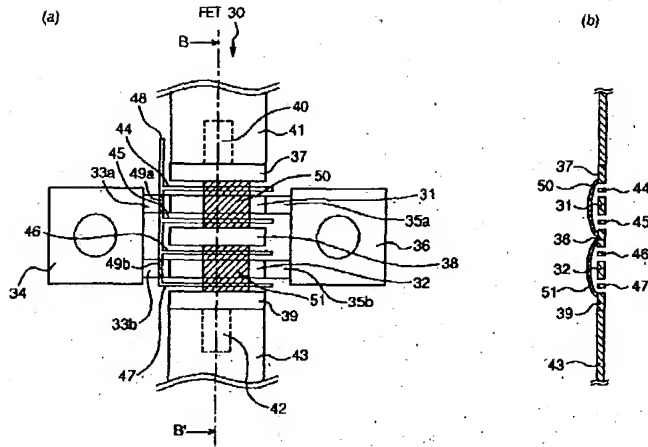
【图5】.



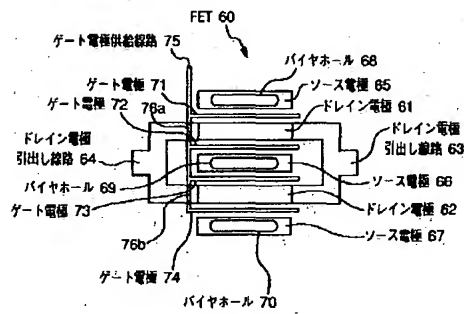
【図 6】



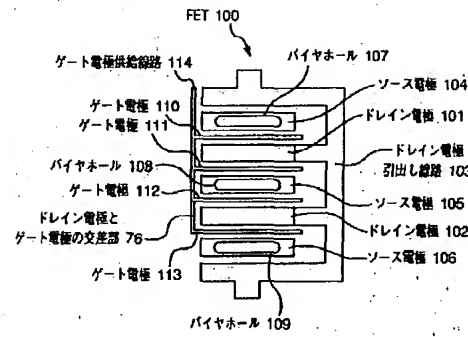
【図 7】



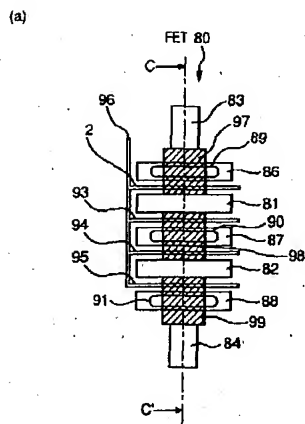
【図 9】



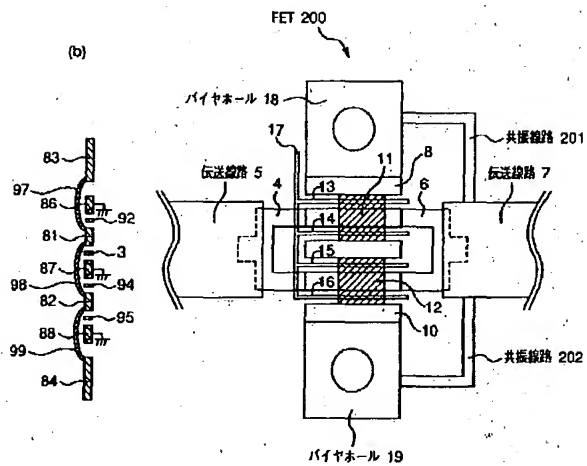
【図 11】



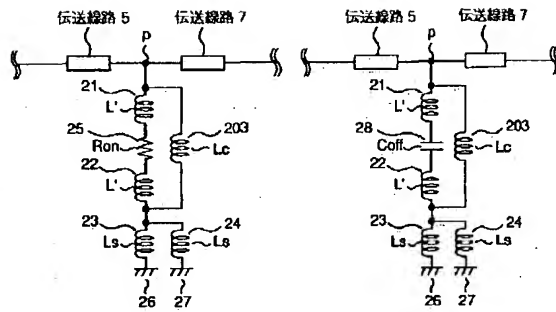
【図 10】



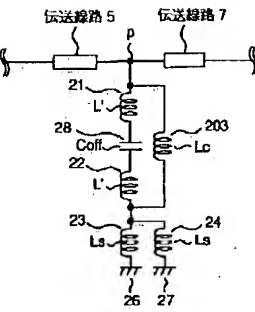
【図 12】



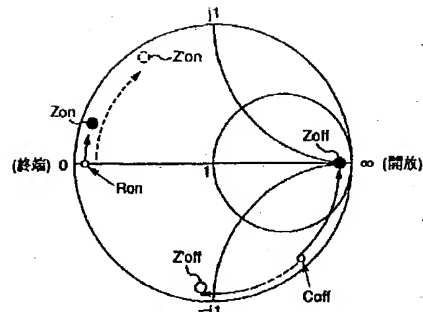
【図13】



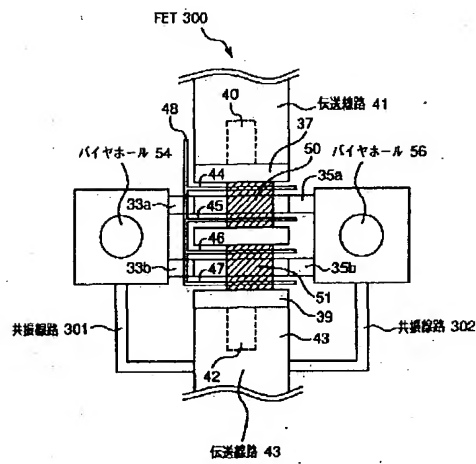
【図14】



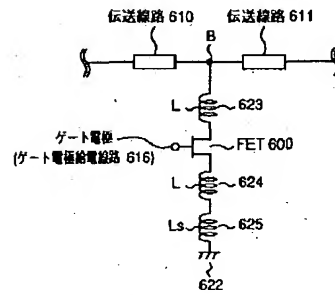
【図15】



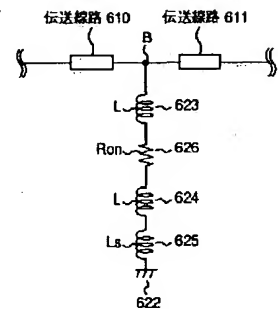
【図16】



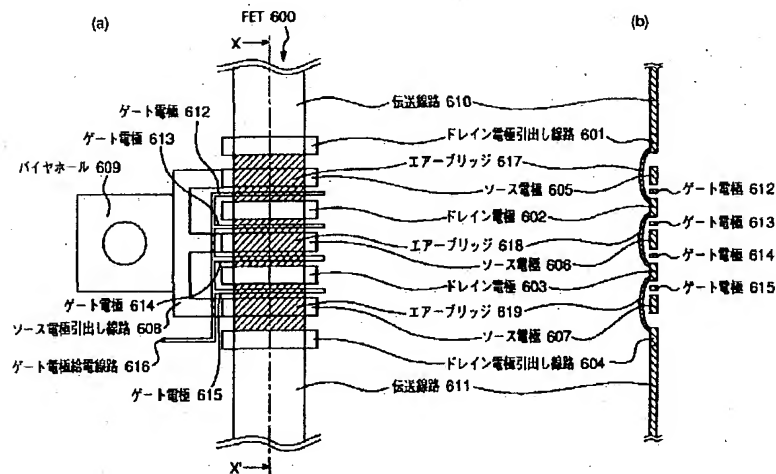
【図18】



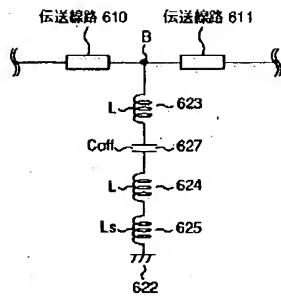
【図19】



【図17】



【図20】



【図21】

